



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 5 G09G 3/20	A1	(11) 国際公開番号 WO 91/20075
		(43) 国際公開日 1991年12月26日 (26. 12. 1991)
<p>(21) 国際出願番号 PCT/JP91/00785 (22) 国際出願日 1991年6月11日 (11. 06. 91)</p> <p>(30) 優先権データ 特願平2/159416 1990年8月18日 (18. 06. 90) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP] 〒163 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 今村陽一 (IMAMURA, Youichi) [JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 Nagano, (JP)</p> <p>(74) 代理人 弁理士 山田 稔 (YAMADA, Minoru) 〒390 長野県松本市本庄1丁目1番17号 よこやまビル5階 Nagano, (JP)</p> <p>(81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), DK (欧州特許), ES (欧州特許), FR (欧州特許), GB (欧州特許), GR (欧州特許), IT (欧州特許), JP, KR, LU (欧州特許), NL (欧州特許), SE (欧州特許), US.</p>		
添付公開書類		国際調査報告書
<p>(54) Title : FLAT DISPLAYING DEVICE AND DEVICE FOR DRIVING DISPLAYING ELEMENTS</p> <p>(54) 発明の名称 フラット表示装置及び表示体駆動装置</p> <p>(57) Abstract</p> <p>Parts (41₁ - 47_n) for managing/controlling signals of scanning drivers LSIs in an LCD module are connected to each other in cascade and are configured identically. The signals sensed by the parts (47₁, 47₂, and 47_n) are respectively a clock LP for latching data signals, a frame starting signal SP and an alternating clock FR which are applied to terminals CKB₁, CKB₂, and CKB_n respectively. The part for managing/controlling signals 47₁ has a circuit for sensing the stop of signal to be sensed, as a signal sensing means, and sequential processing circuit (51) comprising a circuit for delaying signals (49), and a logical circuit (50). For example, when the oscillation of the frame starting signal SP is stopped, the outputs (T₁ - T_n) of the circuit (51) change into an L level, a display-off signal DF of the LCD module goes to an L level and a liquid crystal panel is forced to be in a display-off mode. Thus, even if the frame starting signal SP is stopped due to any cause, the voltage applied to a liquid crystal is dropped to zero. Consequently, the DC driving of the liquid crystal can be avoided and the deterioration of the liquid crystal, etc. can be prevented.</p> <p>10 ... circuit for controlling liquid crystal display 12 ... controller for liquid crystal display module 22 ... liquid crystal panel (N x M) 24₁ - 24_n ... signal driver (1) - (n) 28 ... power supply circuit for liquid crystal 40 ... liquid crystal module 46₁ - 46_n ... scanning driver (1) - (n)</p>		

(57) 要約

L C D モジュールにおける各走査ドライバ L S I の信号管理制御部 4 7₁ ～ 4 7_n はカスケード接続されており、各制御部 4 7₁ ～ 4 7_n は同一構成である。信号管理制御部 4 7₁ の被検出信号は端子 C K B₁ に印加されるデータ信号ラッチクロック L P、信号管理制御部 4 7₂ の被検出信号は端子 C K B₂ に印加されるフレームスタート信号 S P で、信号管理制御部 4 7_n の被検出信号は端子 C K B_n に印加される交流化クロック F R である。信号管理制御部 4 7₁ は被検出信号の停止を検出する信号検出手段としての信号停止検出回路 4 8 と信号遅延回路 4 9 及び論理回路 5 0 からなるシーケンス処理回路 5 1 を有している。例えばフレームスタート信号 S P の発振が停止すると、回路 5 1 の出力 T₁ ～ T_n は L レベルに変化するので、L C D モジュールのディスプレイ・オフ信号 D F が L レベルになり、液晶パネルが表示オフモードに強制設定される。この結果、フレームスタート信号 S P が何らかの原因で停止しても、液晶印加電圧が零に落とされるので、液晶直流駆動が回避でき、液晶劣化等を防止することができる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を用意するために使用されるコード

AT	オーストリア	ES	スペイン	ML	マリ
AU	オーストラリア	FI	フィンランド	MN	モンゴル
BB	バルバードス	FR	フランス	MR	モーリタニア
BE	ベルギー	GA	ガボン	MW	マラウイ
BF	ブルキナ・ファソ	GI	ギニア	NL	オランダ
BG	ブルガリア	GB	イギリス	NO	ノルウェー
RJ	ベナン	GR	ギリシャ	PL	ポーランド
BR	ブラジル	HU	ハンガリー	RO	ルーマニア
CA	カナダ	IT	イタリー	SD	スードン
CF	中央アフリカ共和国	JP	日本	SE	スウェーデン
CG	コンゴー	KP	朝鮮民主主義人民共和国	SN	セネガル
CH	スイス	KR	大韓民国	SU	ソビエト連邦
CI	コート・ジボアール	LI	リヒテンシュタイン	TD	ナーヴード
CM	カメルーン	LK	スリランカ	TG	トーゴ
CS	チェコスロバキア	LU	ルクセンブルグ	US	米国
DE	ドイツ	MC	モナコ		
DK	デンマーク	MG	マダガスカル		

- 1 -

明 細 書

フラット表示装置及び表示体駆動装置

5. 技術分野

この発明は、液晶表示（LCD）、プラズマ表示パネル（PDP）等のフラットディスプレイやその応用装置に関し、更に詳細には、表示体モジュール部とその表示を制御する表示制御部とが分離配置された形態を有するフラット表示装置及び表示体駆動装置に関する。

10

発明の背景

従来、所謂ラップトップ型と称される可搬型パソコン・コンピュータやワードプロセッサなどは一般に開閉式のフラットディスプレイ部を有しており、それらに搭載される中・大型の液晶表示装置は、図9に示すように、装置本体側に内蔵された液晶表示制御部10と開閉蓋の内側に設けられたフラット状の液晶表示モジュール部20とからなる分離独立した配置構成である。液晶表示制御部10は、液晶モジュール・コントローラ12や図示しないマイクロ・プロセッサ・ユニット（MPU）を有しており、この液晶モジュール部・コントローラ12は液晶表示モジュール部20側に対し各種の制御信号及びクロック信号を供給する。液晶表示モジュール部20は、例えば単純マトリクス型の液晶表示パネル（マトリクス液晶表示素子）22と、このパネル22の周辺（額縁）領域にTAB実装された信号電極駆動回路（Xドライバ）24及び走査電極駆動回路（Yドライバ）26と、高圧の液晶駆動電圧（基準電圧） $V_0 \sim V_5$ を

- 2 -

発生する液晶電源回路 28 とを有している。信号電極駆動回路 24 は複数の信号電極ドライバ半導体集積回路 24₁ ~ 24_n のカスケード接続として構成され、例えば信号電極の総数 M 本に対し画面 1 ライン分ずつドライバ出力を供給する。即ち、データ信号 D0 ~ D₇ は画素クロック（シフトクロックパルス）XSCL によって次々に信号電極駆動回路 24 内のシフトレジスタに取り込まれ、画面 1 ライン分の信号（M ビット）が取り込まれた時点で、走査線同期信号 YSCL（データ信号ラッチクロック LP）によってシフトレジスタ内のデータ信号が並列的にデータラッチ回路へ送られ、データ信号の直・並列変換が行われる。そのデータラッチ回路では、1 ライン分の信号電圧を 1 走査期間にわたって保持し、その信号電圧に基づいて選択スイッチ回路が信号電極に接続されたドライバ出力電圧を選択又は非選択状態のいずれかに設定する。交流化クロック FR は直流駆動による液晶素子の劣化を防止するために上記の各電圧を交流波形にするクロックである。強制ブランク表示信号 \overline{DF} は液晶画面を強制的にブランク表示状態とするための信号である。走査電極駆動回路 26 は複数の走査電極ドライバ半導体集積回路 26₁ ~ 26_n のカスケード接続として構成され、例えば走査電極総数 N 本のうち 1 本だけに選択電圧を、他の (N - 1) 本の走査電極に非選択電圧を付与するように動作する。走査スタートパルス（フレームスタート信号）SP によって 1 走査線期間が開始され、走査線同期信号 YSCL（データ信号ラッチクロック LP）の入来する毎に選択電圧が第 1 行目の走査電極から第 N 行目の走査電極に次々に印加される（線順位表示）。また液晶表示モジュール部 20 側に配置された液晶電源回路 28 は信号電極駆動回路 24 及び走査電極駆動

- 3 -

回路 26 の選択スイッチが選択すべき複数の液晶駆動電圧 V_s ～ V_5 を生成するもので、強制ブランク表示信号 \overline{DF} によってパワー オン／オフ状態に設定される。

ところで、装置本体側に内蔵された液晶表示制御部 10 と開閉蓋の内側に設けられたフラット状の液晶表示モジュール部 20 とは一般にヒンジ結合の可動部を介してフレキシブル・ケーブル 30 で接続されている。そのため、フラット状の液晶表示モジュール部 20 側の開閉蓋が開閉されるたびにケーブル 30 自体が屈曲し、物理的要因からどうしてもケーブル 30 の信号線の損傷又は断線を招来し易い。信号線の一部が断線すると、例えば液晶表示パネル 22 に直流電圧（直流成分）が印加されたままの状態で、交流駆動されない事態が発生し、他の部品と比べて高価で交換の困難な液晶表示パネル 22 の劣化を惹起することがある。このような液晶劣化は寿命や表示品質の阻害要因であり、視認性を基調とするディスプレイ装置にとって重要な問題である。ここに、液晶モジュール・コントローラ 12 から液晶表示モジュール部 20 側に供給される信号のうち液晶表示パネル 22 の直流駆動劣化を引き起こす可能性のある信号としては、走査スタートパルス SP 、走査線同期信号 $YSCL$ （データ信号ラッチクロック LP ）、交流化クロック FR 及びロジック側電源電圧 V_{cc} である。また液晶モジュール・コントローラ 12 及びマイクロ・プロセッサ・ユニット（MPU）に何らかの動作異常が発生した場合でも、上記の各信号の異常が引き起こされ、上述と同様の事態が発生するおそれもある。

ところで、このような液晶表示体の直流駆動の問題を敷衍すると、液晶モジュール部側における信号異常の問題に一般化できる。また

壁掛けテレビジョンを想定した場合、表示制御部と表示パネルとは遠隔配置にあることから、信号の停止もさることながら、信号レベルの減衰等や雑音の影響により表示品質劣化の問題も提起される。また、液晶ディスプレイに限らず、プラズマ・ディスプレイにおいても問題となる。

そこで、本発明の課題としては、上述の問題点に鑑みて、表示制御部側から表示体モジュール部側に供給される信号の異常に起因する表示パネルの直流駆動等による表示特性劣化を防止可能のフラット表示装置及び表示体駆動装置を提供することにある。

10

発明の開示

一般に、表示体モジュール部とその表示を制御する表示制御部とが分離配置されたフラット表示装置においては、表示体モジュール側は表示制御部からの制御信号等に追従して受動的動作を実行するが、本発明においては、信号管理制御手段を有する自律信号系が採用されている。この信号管理制御手段の構成要素のすべてを表示体モジュール部側に設けることもできるが、表示体モジュール部側と表示制御部とに分担配置することもできる。

このような信号管理制御手段は、表示制御部側から転送される第1の信号の異常発生を検出する信号検出手段と、その出力に基づいて表示体モジュール部側の信号形態を変更処理するシーケンス処理手段とを有する構成とされている。信号の異常とは信号の停止、論理振幅の減少、混信などを指すが、典型的な例としては信号の停止が挙げられる。またフラット表示装置としては液晶表示装置やプラズマ・ディスプレイ装置を挙げることができる。信号検出手段の具

- 5 -

体的な構成としては第1の信号の停止を検出する信号停止検出手段であり、シーケンス処理手段はその出力を基に表示体駆動手段の表示体パネルへ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段である。第1の信号が表示体モジュール側で停止すると、これが信号停止検出手段で検出される。これにより強制停止制御手段が表示体駆動手段を制御し、その駆動手段は表示体印加電圧を零に設定する。従って、クロック等の第1の信号が停止した場合でも、液晶等の表示体の直流駆動が回避されるので、表示特性の劣化を防止することができる。

更に具体的な強制停止制御手段としては、信号停止検出手段の出力により表示制御部側から転送される第2の信号を遅延させる第1の信号遅延手段を有し、その出力に基づいて表示体駆動手段の表示オン／オフを制御するような構成を採用することができる。かかる構成によれば、検出信号の発生により速やかに液晶パネルの表示をオフ状態に設定できることは勿論であるが、第1の信号が再開された場合、その時点で表示オンの状態が再スタートするのではなく、第2の信号の周期を基準として決定される所定の時間が経過した後、表示オン状態に表示体駆動手段が設定制御される。このような時間差的な表示体駆動手段の制御方式は、ラッシュ電流から誘起される電源異常による異常駆動を防止でき、電源負荷の軽減と電源回路の簡略化を図ることができる。この信号遅延手段は、フレームスタート信号を第2の信号として入力され、検出手段の出力を基にセット・リセットされるN段のDフリップ・フロップとすることが望ましい。かかる場合の遅延時間はフレーム周期を単位として決定される。

信号管理制御手段を液晶モジュール側に複数配置する構成も採用で

きる。かかる場合には、複数種類の信号の停止を同時に検出することができる。そして、強制停止制御手段にその出力を制御する第3の信号の制御端子を設けることにより、複数の信号管理制御手段をカスケード接続することができる。かかる場合は、いずれかの被検出信号が停止したときには、表示体駆動手段に対する表示オフの制御が可能となる。

更なるラッシュ電流に基づく異常駆動による表示体の劣化を防止するためには、表示体駆動電圧を発生すべき表示体電源手段のパワーオン／オフを制御する電源制御手段を表示体モジュール部側に設けることが望ましい。この電源制御手段は検出手段の出力に対応して表示体電源手段のパワーオン／オフを制御するものである。このようにすることによって、第1の信号の発現が表示体モジュール部側で確認された後、表示体電源手段がパワーオンになる。具体的な電源制御手段としては、検出手段の出力により表示制御部側から転送される第2の信号を遅延させる第2の信号遅延手段を有し、その出力に基づいて表示体電源手段のパワーオン／オフを制御するような構成を採用することができる。かかる構成によれば、第1の信号の出力が確認され、第2の信号の周期を基準として決定される所定の時間が経過した後、表示体駆動手段が付勢される。このため、初期時における液晶の直流駆動を防止することができる。そして、電源制御手段が表示オン／オフ信号を第2の信号として入力され、検出手段の出力によりセット・リセットされるM(< N)段のDフリップ・フロップである場合には、表示体電源手段が付勢された後、表示体駆動手段が表示オン状態となる。これもラッシュ電流の軽減に寄与する。但し、M、Nは正の整数である。

以上のような構成に係る信号管理制御手段は、表示体モジュール部側のガラス基板等に設けられているが、表示体モジュール部側に実装される表示体駆動装置の回路に組み込むことができる。つまり、信号管理制御付きの表示体駆動手段として実現できる。従来の表示体駆動手段はドライバLSIとして構成されているが、このような信号管理制御付きの表示体駆動手段も半導体集積回路として構成し得る。ドライバLSIのうちYドライバLSIはXドライバLSIに比して入出力配線の本数が少ないと考慮すれば、信号管理制御付きのドライバLSIとしてはYドライバとすることが有利である。また液晶表示装置は単純マトリクス方式とアクティブ・マトリクス方式に大別できるが、この信号管理制御付きのドライバLSIは走査ドライバ又はゲートドライバとすることが望ましい。

図面の簡単な説明

図1は本発明の実施例1に係る液晶表示装置の全体構成を示すブロック図である。

図2は同実施例における各走査ドライバの信号管理制御部の構成とドライバ間の接続関係を示す回路図である。

図3は同実施例における走査ドライバの走査電極駆動セルを示す回路図である。

図4は同実施例の動作を説明するための液晶表示モジュール部における各種信号の関係を示すタイミングチャート図である。

図5は本発明の実施例2に係る液晶表示装置の全体構成を示すブロック図である。

図6は同実施例における各走査ドライバの信号管理制御部の構成

とドライバ間の接続関係を示す回路図である。

図7は同実施例における液晶電源回路の構成を示す回路図である。

図8は同実施例の動作を説明するための液晶表示モジュール部における各種信号の関係を示すタイミングチャート図である。

図9は従来の液晶表示装置の構成を示すブロック図である。

発明を実施するための最良の形態

次に、本発明の実施例を添付図面に基づいて説明する。

(実施例1)

図1は本発明の実施例1に係る液晶表示装置の全体構成を示すブロック図である。なお、図1において図9に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

この実施例における液晶表示モジュール部40の走査電極駆動回路(Yドライバ)46を構成する走査ドライバ半導体集積回路(LSI)46₁～46_nは信号管理制御部47を有している。第1の走査ドライバ半導体集積回路46₁の信号管理制御部47₁は端子CKB1に印加される走査線同期信号YSCL(データ信号ラッチクロックLP)の停止を検出する。第2の走査ドライバ半導体集積回路46₂の信号管理制御部47₂は端子CKB2に印加される走査スタートパルス(フレームスタート信号)SPの停止を検出する。第n(例えば第3)の走査ドライバ半導体集積回路46_nの信号管理制御部47_nは端子CKBnに印加される交流化クロックFRの停止を検出する。それぞれの信号管理制御部47₁～47_nは信号停止検出制御端子S₁～S_n及び信号停止検出端子T₁～T_nを有している。第1の走査ドライバ半導体集積回路46₁の信号管理制

- 9 -

御部 4 7₁ の信号停止検出制御端子 S₁ には通常高レベル電圧の強制ブランク表示信号 DFF が制御回路 10 側から供給され、その信号停止検出端子 T₁ は第 2 の走査ドライバ半導体集積回路 46₂ の信号管理制御部 47₂ の信号停止検出制御端子 S₂ に接続されている。また第 2 の走査ドライバ半導体集積回路 46₂ の信号管理制御部 47₂ の信号停止検出端子 T₂ は次段の信号停止検出端子（例えば第 n の信号管理制御部 47_n の信号停止検出制御端子 S_n）に接続されている。そして第 n の信号管理制御部 47_n の信号停止検出端子 T_n は走査ドライバ 46₁ ～ 46_n 及び信号ドライバ 24₁ ～ 24_n の強制ブランク制御端子 DFF に接続されている。

各走査ドライバの信号管理制御部 47₁ ～ 47_n は、図 2 に示すように、カスケード接続されており、各信号管理制御部 47₁ ～ 47_n の構成は同一である。信号管理制御部 47₁ の被検出信号は端子 CKB₁ に印加されるデータ信号ラッチクロック LP、信号管理制御部 47₂ の被検出信号は端子 CKB₂ に印加される走査スタートパルス（フレームスタート信号） SP で、信号管理制御部 47_n の被検出信号は端子 CKB_n に印加される交流化クロック FR である。

ここで、信号管理制御部 47₁ に着目してその構成を説明する。信号管理制御部 47₁ は、被検出信号の停止を検出する信号検出手段としての信号停止検出回路 48 と、信号遅延回路 49 及び論理回路 50 からなるシーケンス処理回路 51 を有している。

信号停止検出回路 48 は、被検出信号としてのラッチクロック LP によってスイッチングレトランジスファーゲートを構成する第 1 の N 型 MOS トランジスタ TR₁、そのラッチクロック LP の位相を

- 1 0 -

反転させるインバータ INV_1 ，そのラッチクロック LP の逆位相信号によってスイッチングレトランスファーゲートを構成する第2のN型MOSトランジスタ Tr_2 ，第1のN型MOSトランジスタ Tr_1 の開閉動作によって充放電する第1のキャパシタ C_{11} ，第2のN型MOSトランジスタ Tr_2 の開閉動作によって充放電する第2のキャパシタ C_{12} ，このキャパシタ C_{12} の電荷を放電する放電抵抗 R_1 ，及び第2のキャパシタ C_{12} の充電電圧と閾値 V_{TH} とを比較して充電レベル判定信号を出力するインバータ INV_2 から構成されている。第1のN型MOSトランジスタ Tr_1 とインバータ INV_1 及び第2のN型MOSトランジスタ Tr_2 は直列の排他的開閉回路を構成している。そして第1のN型MOSトランジスタ Tr_1 は第1のキャパシタ C_{11} に対する選択的充電スイッチを構成し、また第2のN型MOSトランジスタ Tr_2 は第1のキャパシタ C_{11} の電荷を第2のキャパシタ C_{12} へ分配転送する選択的充電スイッチを構成している。

信号遅延回路 49 は、インバータ INV_2 の出力に接続されたりセット端子 \bar{R} 及び接地された入力端子 \bar{D} を有し、フレームスタート信号 SP をクロック入力 CK とするD型フリップ・フロップ 49a と、インバータ INV_2 の出力に接続されたりセット端子 \bar{R} 及びフリップ・フロップ 49a の出力 \bar{Q} に接続された入力端子 \bar{D} を有し、フレームスタート信号 SP をクロック入力とするD型フリップ・フロップ 49b とから構成されている。論理回路 50 は制御回路 10 からの強制ブランク信号 $\overline{DF\bar{F}}$ とフリップ・フロップ 49b の Q 出力を2入力とするアンド回路 AND から構成されている。

図3は走査ドライバ 46，の信号管理制御部 47，を除く通常の

- 11 -

走査電極駆動回路（論理部）を示す回路図である。この論理部には多数の走査電極に対応して線順位で電圧を印加する多ビットの走査電極駆動セル $46_{11}, 46_{12}, \dots$ がアレイ状に作り込まれている。図 3 では第 1 ビットと第 2 ビットの走査電極駆動セル $46_{11}, 46_{12}$ 及びその周辺回路が示されている。

ここで走査電極駆動セル 46_{11} に着目してその構成を説明すると、この走査電極駆動セル 46_{11} は、フレームスタート信号 SP によって起動し走査同期信号 $Y S C L$ の入来毎に次段へそのフレームスタート信号 SP を転送するシフトレジスタにおける D 型フリップ・フロップ $46a$ と、そのビット選択出力 Q に第 n の走査ドライバ $46b$ の端子 T_n から供給される強制ブランク表示信号 \overline{DF} を加味して論理演算する行単位強制ブランク表示制御回路 $46b$ と、その出力をロジック系電源電圧 ($V_{cc} = 5v$) から高電圧系の論理振幅に変換する行単位電圧レベルシフト回路 $46c$ と、交流化クロック F_R に強制ブランク表示信号 \overline{DF} を加味して論理演算する総行強制ブランク表示制御回路 $46d$ と、その交流化クロック F_R をロジック系電源電圧 ($V_{cc} = 5v$) から高電圧系の論理振幅を持つ高圧交流化クロック F_{RH} に変換する交流化クロック用の電圧レベルシフト回路 $46e$ と、その高圧交流化クロック F_{RH} を逆相の高圧交流化クロック $\overline{F_{RH}}$ に反転させる正逆 2 相クロック生成回路 $46f$ と、高圧交流化クロック F_{RH} 、逆相の高圧交流化クロック $\overline{F_{RH}}$ の対と行単位電圧レベルシフト回路 $46c$ の出力 O, \overline{O} の対とから交鎖的組み合せで 4 つの選択制御信号 $C_1 \sim C_4$ を発生する選択制御信号生成回路 $46g$ と、各選択制御信号 C_1, C_2, C_3, C_4 によって走査電極駆動電圧 V_5, V_1, V_0, V_4 を逐一的に走査電極

- 1 2 -

へ伝達供給する選択スイッチ 4 6 h とから構成されている。ここで、行単位強制ブランク表示制御回路 4 6 b と総行強制ブランク表示制御回路 4 6 d とは強制ブランク表示制御回路を構成している。なお、INV₃ は強制ブランク表示制御信号 \overline{DF} の行単位強制ブランク表示制御回路 4 6 b に対して論理を合わせるインバータである。

次に、本実施例の動作に関し図 4 をも参照しつつ説明する。時点 t_0 において液晶表示装置のロジック電源 V_{cc} が投入されると、従来と同様に、液晶モジュールコントローラ 1 2 のパワーオンリセット端子 RS に数 μ s ～ 数 m s のパルス幅のリセット信号が MPU (図示せず) 側から供給され、液晶モジュールコントローラ 1 2 が初期化される。この初期化期間中、液晶モジュールコントローラ 1 2 のから出力される各種信号は一般的に停止状態にある。この期間では強制ブランク表示信号 $\overline{DF_F}$ が低電圧レベル (以下、L レベルと称する) であるから、液晶電源回路 2 8 はパワーオフの状態にあり、液晶駆動電源電圧 $V_0 \sim V_5$ は未発生状態である。したがって、この初期化期間中では液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されている。

この期間が過ぎると、図 4 に示す如く、時点 t_1 で強制ブランク表示信号 $\overline{DF_F}$ が L レベルから高電圧レベル (以下、H レベルと称する) に変化し、また液晶モジュールコントローラ 1 2 はフレームスタート信号 SP, データ信号ラッチクロック LP 及び交流化クロック FR を発生する。ここでまず走査ドライバ 4 6 1 の信号管理制御部 4 7 1 の動作について説明すると、信号遅延回路 4 9 の入力端子 CKA₁ にはフレームスタート信号 SP が供給され、また信号停止検出回路 4 8 の検出端子 CKB₁ にはデータ信号ラッチクロック

- 1 3 -

L P が供給されている。

データ信号ラッチクロック L P の H レベル期間においては、信号停止検出回路 4 8 のトランジスタ T_{r1} がオン状態でトランジスタ T_{r2} がオフ状態にある。従って、この期間ではキャパシタ C_{11} が充電される。データ信号ラッチクロック L P の L レベル期間においては、信号停止検出回路 4 8 のトランジスタ T_{r2} がオン状態でトランジスタ T_{r1} がオフ状態にある。従って、この期間ではキャパシタ C_{11} に充電された電荷の一部がキャパシタ C_{12} へ移入充電される。データ信号ラッチクロック L P の繰り返しパルスが発生するに伴いキャパシタ C_{12} の充電電圧が増大するので、インバータ IN V_2 の入力電圧が閾値 V_{th} 以下になり、時点 t_2 でインバータ IN V_2 の出力 IN V_{out} が H レベルとなる。時点 t_2 以前においてはインバータ IN V_2 の出力 IN V_{out} は L レベルであるので、信号遅延回路 4 9 の D フリップ・フロップ 4 9 a の出力 Q は L レベルであり、このため論理回路 5 0 の出力 T₁ は L レベルである。ここで、出力 IN V_{out} が H レベルになっても、その時点 t_2 では出力 Q は H レベルにならない。D フリップ・フロップ 4 9 b, 4 9 a の入力信号の遅延記憶作用でフレームスタート信号 SP の 1 フレーム周期 (T_f) ~ 2 フレーム周期 (2 T_f) の間は、出力 Q は L レベルに維持されており、時点 t_3 で論理回路 5 0 の出力 T₁ が H レベルになる。

走査ドライバ 4 6₂ における信号管理制御部 4 7₂ の信号停止検出回路 4 8₂ の検出端子 CKB₂ にはフレームスタート信号 SP が供給され、また信号遅延回路 4 9₂ の入力端子 CKA₂ には走査ドライバ 4 6₁ のカスケード出力端子 DO から到来するカスケード入

力 D_{1z} たるフレームスタート信号 S_P が供給されている。そして走査ドライバ 46_1 の論理回路 50 の出力 T_1 は走査ドライバ 46_2 の論理回路 50 へカスケード接続されている。信号停止検出回路 48_2 のキャパシタ C_{21} はフレームスタート信号 S_P の繰り返しパルスによって充電される。また同様に、走査ドライバ 46_n における信号管理制御部 47_n の信号停止検出回路 48_n の検出端子 C_{KB_n} には交流化信号 FR が供給され、また信号遅延回路 49_n の入力端子 CKA_n には走査ドライバ 46_2 のカスケード出力端子 DO から到来するカスケード入力 D_{1n} たるフレームスタート信号 S_P が供給されている。そして走査ドライバ 46_2 の論理回路 50 の出力 T_2 は走査ドライバ 46_n の論理回路 50 へカスケード接続されている。信号停止検出回路 48_n のキャパシタ C_{n2} は交流化信号 FR の繰り返しパルスによって充電される。被検出信号としてのデータ信号ラッチクロック LP 、フレームスタート信号 S_P 及び交流化信号 FR の周期やデューティー比は異なるので、各走査ドライバにおいてインバータ $INV_1 \sim INV_n$ の比較判定時点 t_3 などを一致させるためには、キャパシタ $C_{11} \sim C_{n1}$ 、 $C_{12} \sim C_{n2}$ 及び放電抵抗 $R_1 \sim R_n$ の値（時定数）を相互調整可能としておくことが望ましい。そのために、本実施例では図1に示すように外付けのキャパシタ及び抵抗の接続外部端子が走査ドライバに設けられている。

このように、ロジック電源 V_{cc} の投入時点 t_0 から論理回路の出力 $T_1 \sim T_n$ がHレベルになる時点 t_3 までの期間において、各走査ドライバ及び信号ドライバの強制表示ブランク制御端子 \overline{DF} には、Lレベルの出力 T_n が供給されているので、液晶表示パネル 22 はブランク表示状態にある。つまり、強制表示ブランク制御信号 \overline{DF}

がLレベルであるときには、図3に示す強制ブランク表示制御回路46b, 46dの制御によって走査電極駆動セル46の選択スイッチ46hのトランジスタF₁のみがオン状態で、走査電極には電圧V_s (0v)が印加されており、液晶電極間電圧（液晶印加電圧）₅は0vである。時点t₀～時点t₃の期間は液晶駆動禁止期間に相当している。時点t₁で液晶電源回路28がパワーオンされ、液晶駆動電圧V₀～V_sが発生し、これらの電圧は走査及び信号ドライバに供給されるが、電源立ち上げ時点においては、走査及び信号ドライバ内のシフトレジスタ等が不定状態にある。しかしながら、時点t₃まで液晶表示がブランク制御されているため、液晶パネルの異常駆動を回避することができる。

次に、時点t₃で出力T₀がHレベルになると、各走査ドライバ及び信号ドライバの強制表示ブランク制御端子 \overline{DF} にはHレベルの電圧が供給されるので、走査ドライバ及び信号ドライバの通常動作₁₅によって液晶表示パネル22が交流駆動され、液晶パネル22には表示画面が描かれる。図4に示すBは液晶駆動期間を表す。時点t₁で液晶電源回路28と走査及び信号ドライバの論理部がパワーオンし、これより遅れた時点t₃で液晶表示パネル22が駆動される。従って、電源パワーオンが同時的に発生しないので、過大な電源ラッシュ電流が抑制されている。これは、信号停止検出回路48₂₀自体の遅延的動作に加えて、1～2フレーム周期の遅延時間を持つ信号遅延回路49の遅延作用が有効的に機能しているからである。

今ここで、この液晶駆動期間Bにおける時点t₄で、液晶モジュールコントローラ12側から送出されていたデータ信号ラッチクロックLIPの出力がたとえば停止したとする。データ信号ラッチクロ₂₅

- 1 6 -

ック L P の出力中は走査ドライバ 4 6₁ の信号停止検出回路 4 8₁ の第 2 のキャパシタ C₁₂ が充分に充電されているが、そのクロック L P が停止すると、第 2 のキャパシタ C₁₂ へは第 1 のキャパシタ C₁₁ 側から電荷が転送されて来ないばかりか、第 2 のキャパシタ C₁₂ の電荷は放電抵抗 R₁ を介して所定の時定数で急速に放電し始め、インバータ INV₂ の入力電圧が徐々に上昇する。その入力電圧がその閾値 V_{TH} を超えると、その出力電圧 INV_{OUT} が時点 t₅ で L レベルとなる。この論理変化によって信号遅延回路 4 9₁ はリセットされ、その出力 Q は L レベルとなるので、強制表示ブランク制御信号 \overline{DF} は L レベルであるのにも拘わらず、論理回路 5 0₁ の出力 T₁ は時点 t₅ で L レベルとなる。この出力 T₁ は走査ドライバ 4 6₂ の論理回路 5 0₂ へカスケード入力されているため、フレームスタート信号 SP が出力中でもその論理回路 5 0₂ の出力 T₂ は L レベルになる。更に、出力 T₂ は走査ドライバ 4 6_n の論理回路 5 0_n へカスケード入力されているため、交流化信号 FR が出力中でもその論理回路 5 0_n の出力 T_n は L レベルになる。この出力 T_n は液晶表示モジュール部 4 6 側での強制表示ブランク制御信号 \overline{DF} に相当しているので、強制表示ブランク回路 4 6 b, 4 6 d を使って液晶表示パネル 2 2 はブランク表示状態となる。つまり、図 3 に示す走査電極駆動セル 4 6 の選択スイッチ 4 6 h のトランジスタ F₁ のみがオン状態で、走査電極には電圧 V₅ (0 v) が給電されるので、液晶電極間電圧は 0 v に維持される。このため、データ信号ラッチクロック L P が何らかの原因で停止した場合でも、液晶素子は直流成分で駆動されないので、液晶劣化が未然に防止される。
また、フレームスタート信号 SP 又は交流化信号 FR が何らかの原

- 17 -

5 因で停止した場合も、出力 T_n は L レベルになるので、同様にして液晶劣化が未然に防止される。なお、この液晶駆動禁止期間 A においてはフレームスタート信号 S_P 及び交流化信号 F_R が継続している限り、第 2 のキャッシュタ C_22 及び C_n1 は充電状態にあり、インバータ INV_2, INV_n の出力は H レベルである。

10 時点 t_0 においてデータ信号ラッチクロック LP が再度出現し始める。前述したように、第 2 のキャッシュタ C_22 が充電され、インバータ INV_1 の出力 INV_001 が H レベルになる。出力 INV_out が H レベルとなった時点から 1 ~ 2 のフレーム周期の後、タイマーとして機能する信号遅延回路 491 の出力 Q が時点 t_1 で H レベルとなる。これによって、論理回路 501 の出力 T_1 が H レベルとなると共にこれに連動して論理回路 502, 50n の出力 T_2 , T_n が H レベルとなる。従って、液晶表示モジュール部 22 側の強制表示ブランク制御信号 \overline{DF} が H レベルに変わるために、液晶表示パネル 22 は液晶駆動期間 B に入る。

15 最後に、時点 t_0 で液晶表示コントローラ 12 側の強制表示ブランク制御信号 \overline{DF} が L レベルになると、論理回路 501 の出力 T_1 が L レベルに変わるので、論理回路 502, 50n の出力 T_2 , T_n も L レベルとなる。従って、液晶表示モジュール部 20 側の強制表示ブランク制御信号 \overline{DF} が L レベルとなり、液晶表示パネル 22 は表示オフ期間 C に入る。

(実施例 2)

20 図 5 は本発明の実施例 2 に係る液晶表示装置を示すブロック図である。なお、図 5 において図 1 に示す部分と同一部分には同一参照符号を付し、その説明は省略する。

この実施例の液晶表示モジュール部 7 0 の走査電極駆動回路 (X ドライバ) 7 6 を構成する複数の走査ドライバ 7 6₁ ～ 7 6_n は実施例 1 の信号管理制御部と同様の信号管理制御部 7 7₁ ～ 7 7_n を有しているが、図 6 に示すように、各信号管理制御部 7 7₁ ～ 7 7_n には液晶駆動電圧 V_0 ～ V_5 を生成べき液晶電源回路 2 8 のパワーオン／オフのタイミングを制御する電源パワーオン／オフ制御回路 7 8₁ ～ 7 8_n が付加されている。電源パワーオン／オフ制御回路 7 8₁ ～ 7 8_n は、論理回路 5 0₁ の入力端子 S_1 ～ S_n に入来する信号を反転させるインバータ INV₃ と、2段接続のDフリップ・フロップ 7 8 a₁ ～ 7 8 b_n と、その出力 Q と端子 P_1 ～ P_n から到来する信号との論理をとる論理回路 7 8 c₁ とから構成されている。また各信号管理制御部 7 7 の信号遅延回路 7 9 は、実施例 1 に係る信号遅延回路 4 9 の2段接続のDフリップ・フロップ 4 9 a₁ ～ 4 9 b_n に3段目のDフリップ・フロップ 7 9 c₁ を追加接続した構成である。第 1 の走査ドライバ 7 6₁ の論理回路 7 8 c₁ の入力端子 P_1 にはロジック側電源電圧 V_{cc} のパワーオン／オフ信号が供給されており、第 2 の走査ドライバ 7 6₂ の端子 P_2 には第 1 の走査ドライバ 7 6₁ における電源パワーオン／オフ制御回路 7 8₁ の出力 P_F_1 がカスケード的に供給されている。また第 n の走査ドライバ 7 6_n の端子 P_n には前段たる第 2 の走査ドライバ 7 6₂ における電源パワーオン／オフ制御回路 7 8₂ の出力 P_F_2 がカスケード的に供給されている。そして、第 n の走査ドライバ 7 6_n の電源パワーオン／オフ制御回路 7 8_n の出力 P_F_n は液晶電源回路 2 8 のパワーオフ端子 $\overline{P_OFF}$ に供給されている。

液晶電源回路 2 8 は従来と同様な構成で、図 7 に示すように、

- 1 9 -

V_{cc} (5 v) 電源電圧を基に昇圧した高電圧 (20 ~ 40 v) を生成する電圧変換回路 28 a と、パワーオフ端子 $\overline{P\ O\ F\ F}$ に供給される電圧値の如何でオン／オフする制御用の n p n 型トランジスタ 28 b と、このトランジスタ 28 b のオン／オフ動作に連動してオン／オフするパワースイッチの p n p 型トランジスタ 28 c と、そのコレクタと接地との間に介在する平滑コンデンサ 28 d と、その充電電圧から液晶駆動電圧 $V_0 \sim V_s$ を出力する電圧分圧回路 28 e とを有している。

次に、上記実施例の動作に関し図 8 を参照しつつ説明する。時点 t_0 においてパワースイッチ SW が閉成され、液晶表示装置のロジック電源 V_{cc} が投入されると、実施例 1 と同様に、液晶モジュールコントローラ 12 のパワーオンリセット端子 RS に数 μ s ~ 数 ms のパルス幅のリセット信号が MPU 側から供給され、液晶モジュールコントローラ 12 が初期化される。従って、液晶モジュールコントローラ 12 からの出力信号は一般的に停止状態にある。かかる期間において、ロジック電源電圧 V_{cc} が第 1 の走査ドライバ 76₁ の AND 回路たる論理回路 78 c の一入力に供給されているが、データ信号ラッチクロック LP が未出現であるため、その出力 PF₁ は L レベル状態にある。この結果、第 2 の走査ドライバ 76₂ の出力 PF₂ も L レベルで、更に第 n の走査ドライバ 76_n の出力 PF_n も L レベルであるから、液晶電源回路 28 のパワーオフ端子 $\overline{P\ O\ F\ F}$ は L レベル状態に維持されている。このため、図 7 に示すトランジスタ 28 b のベース電位は L レベル (0 v) であるので、昇圧電圧は平滑コンデンサ 28 d へ供給されず、従って、液晶駆動電圧 $V_0 \sim V_s$ は発生しない。実施例 1 と同様に、この初期化期間中で

- 2 0 -

は液晶電極間に直流成分が印加せず、液晶素子の劣化が防止されている。

次に、図8に示す如く、時点 t_1 で液晶モジュールコントローラ 12 から各種信号が生成される。強制ブランク表示信号 \overline{DFF} は L レベルから H レベルに変化し、またフレームスタート信号 SP, データ信号ラッチロック LP 及び交流化ロック FR が発生する。実施例1で説明したように、データ信号ラッチロック LP の出現開始によってインバータ INV₂ の出力 INV_{out} が時点 t_2 で H レベルとなる。このため、パワーオン/オフ制御回路 78b の出力 Q は時点 t_2 より 1~2 フレーム周期だけ遅れた時点 t_3 で H レベルとなるので、論理回路 78c の出力 PF₁ は H レベルとなる。これにより第2及び第nの走査ドライバ 76₂, 76_n の論理回路 78c の出力 PF₂, PF_n は連動して H レベルになるので、液晶電源回路 28 のパワーオフ端子 \overline{POFF} は H レベルに付勢される。この結果、トランジスタ 28b がオン状態になるので、トランジスタ 28c のベース・エミッタ間抵抗の電圧降下によりそのトランジスタ 28c もオン状態となり、平滑コンデンサ 28d が充電され、液晶駆動電圧 $V_0 \sim V_5$ が発生する。時点 t_3 から次のフレームスタート信号 SP が到来する時点 t_4 までは D フリップ・フロップ 79c の出力 Q は L レベルのままである。この実施例における信号遅延回路 79₁ の D フリップ・フロップの段数はパワーオン/オフ制御回路 78₁ のそれに比して 1 段多いので、D フリップ・フロップ 79c の出力 Q は D フリップ・フロップ 78b のそれより 1 フレーム周期 T_F だけ遅れて H レベルとなるからである。この結果、出力 T₁, T₂, T_n は共に H レベルとなるので、実施例1と同様に、液晶表

- 2 1 -

示モジュール部側の強制ブランク表示信号 \overline{DF} は L レベルから H レベルに変化し、これにより液晶表示パネル 22 の走査電極及び信号電極には駆動電圧 $V_0 \sim V_s$ が給電され、液晶表示モードに入る。

例えば、液晶駆動電圧 $V_0 \sim V_s$ の発生と同時に液晶表示パネル 22 が駆動されると、液晶表示パネル及び走査及び信号ドライバの電源部に大きな充電ラッシュ電流が惹起されてしまう。しかしながら、本実施例においては、時点 t_0 で液晶駆動電圧 $V_0 \sim V_s$ が発生してから、1 フレーム周期 T_F 後に液晶駆動が開始されるため、電源部の時間差付勢によりラッシュ電流が分散でき、電源ダウンの防止と電源容量の軽減を図ることができ、液晶表示パネル及びドライバ等の保護に資する。また前述の電源制御はシステム側の開発コスト負担を軽減し、従来のシステム側と LCD モジュール間の信号配線を増加させずに済む。更に、電源容量の低減をもたらすため、安価な電源の使用が可能となる。

次に、液晶駆動期間 B における時点 t_5 で、液晶モジュールコントローラ 12 側からの送出されていたデータ信号ラッチクロック L_P の発振が停止したとすると、実施例 1 と同様に、インバータ INV_2 の入力電圧が上昇し、その出力電圧 INV_{out} が時点 t_6 で L レベルとなり、出力 T_1, T_2, T_n も L レベルになる。この結果、液晶表示モジュール部側での強制表示ブランク制御信号 \overline{DF} が L レベルとなるので、液晶表示パネル 22 はブランク表示状態となる。実施例 1 と同様の効果が發揮される。またインバータ INV_2 の出力電圧 INV_{out} が L レベルになると、出力 PF_1, PF_2, PF_n も同時に L レベルとなり、液晶電源回路 28 のパワーオフ端子 \overline{POFF} が L レベルに変化して、液晶駆動電圧 $V_0 \sim V_s$ の発生が

- 2 2 -

停止する。

時点 t_7 においてデータ信号ラッチクロック L_P が再度出現し始める。実施例 1 と同様に、インバータ INV_2 の出力電圧 INV_{out} が時点 t_8 で H レベルとなり、また前述したように、この時点 t_8 から 1 ~ 2 フレーム周期後の時点 t_9 で出力 PF_1, PF_2, PF_n も H レベルとなる。この結果、液晶電源回路 28 のパワーオフ端子 \overline{POFF} が H レベルに変化するので、液晶駆動電圧 $V_0 \sim V_s$ が発生し、これらがドライバ側に印加する。そして、前述したように、出力 T_1, T_2, T_n は時点 t_9 から 1 フレーム周期 T_F だけ遅れた時点 t_{10} で H レベルとなり、液晶表示パネル 22 の走査電極及び信号電極には液晶駆動電圧 $V_0 \sim V_s$ が給電され、液晶表示モードが再開される。

時点 t_{11} で液晶表示コントローラ 12 側の強制表示ブランク制御信号 DF_F が L レベルになると、出力 T_1, T_2, T_n も L レベルとので、液晶表示モジュール部 70 側の強制表示ブランク制御信号 \overline{DF} も L レベルとなり、液晶表示パネル 22 は表示オフ期間 C に入る。この時点 t_{11} から 1 ~ 2 フレーム周期後の時点 t_{12} でパワーオン／オフ制御回路 78₁ の D フリップ・フロップ 78₂ の出力 Q が L レベルに変化し、出力 PF_1, PF_2, PF_n も L レベルとなる。この結果、液晶電源回路 28 のパワーオフ端子 \overline{POFF} も L レベルになるので、液晶駆動電圧 $V_0 \sim V_s$ の発生が停止する。このように、液晶表示コントローラ 12 側の強制表示ブランク制御信号 DF_F が L レベルになると、液晶駆動が停止した後、一定期間の経過後にドライバへの液晶電圧の印加がなくなる。このようなパワーオフ時のシーケンスによって、ロジック電源 V_{cc} や液晶駆動電圧 $V_0 \sim$

V_s の電位関係が維持され、ドライバ内の寄生バイポーラ電流や貫通電流等が抑制され、液晶表示パネル及びドライバの保護を図ることができる。

本実施例においては、液晶モジュール側にクロックが供給された後、液晶電源回路 28 のパワーがオンとなり、またクロックの出力停止によって液晶電源回路 28 のパワーもオフとなる。このような電源付勢のオートシーケンスによって、ラッシュ電流が分散的ないし時間差的になるので、上述と同様に、液晶表示モジュールを構成する液晶パネル、ドライバや液晶電源回路の保護を図ることができると。

なお、上記各実施例においては、信号管理制御部が走査ドライバ LSI に作り込まれているが、これは信号ドライバ LSI に比して入出力信号線の本数が少ないことや表示額縁領域が広いので、信号管理制御部を搭載する回路基体の面積余裕が大きいからである。また本実施例では単純マトリクス液晶パネルの表示装置について説明したが、本発明はこれに限らず、アクティブ・マトリクス型液晶表示装置に対しても適用することができる。かかる場合には、ゲートドライバ LSI 側に信号管理制御部を作り込むことが好ましい。その場合、クロックの停止時においてはすべてのゲートがオンするようにゲートドライバ LSI を制御し、データ側でコモン側と同電位を出力するようにソースドライバが制御され、総ての画素電界が無印加状態になるように設定される。更に、本発明は、ディスプレイのみならず液晶光演算装置のように、広く液晶装置を用いた電子装置やプラズマ・ディスプレイのように、直流駆動により表示品質は劣化してしまう表示装置に適用可能である。

上記各実施例においては、液晶モジュールコントローラ 12 側からの供給される信号の異常を検出する手段と、その信号の異常状態を未然又は事後的に除去する手段とが液晶モジュール側に設けられているが、これらの手段の一部構成要素を液晶モジュール側に設け、
5 残る構成要素はシステム（コントローラ）側に設けた分担構成を採用しても良い。例えば、液晶パネルの直流ドライバを引き起こす可能性のある複数の信号（S P, L P, F R）は、周波数、パルスデューティーがそれぞれ異なるので、それらの信号を反一致ゲート（Exclusive OR ゲート）を用いて单一のコンボジット信号に変換し、
10 これをシステム側に送り返して判定回路で異常状態を監視し、その出力で異常状態の除去すると共に、L C D モジュール側とは別の表示体を用いてインジケータ表示を行うような構成を採用できる。また図 1 に示す実施例の走査ドライバ 46 の端子 T_n の出力をシステム側に戻し、ロジック系及び液晶系の電源を一定の手順（シーケンス）でオン／オフ制御する方式も採用できる。

また、液晶パネルを劣化させる別の原因としては、図 7 に示す液晶電源回路 28 における分圧回路 28 e の異常による液晶駆動電圧 V₀ ～ V₅ の電圧値シフトや特定ドライバの出力不良などで液晶パネルが実効的な直流成分により駆動されて劣化することが考えられる。これらの異常も電源電流や電源電圧の変動として検出可能であるから、上述の異常除去手段により異常状態を除去することができる。

産業上の利用可能性

25 以上のように、本発明に係るフラット表示装置は、表示制御部か

- 2 5 -

らの転送される信号が発振停止した場合、表示体モジュール側の信号管理制御手段によって液晶の直流駆動が強制的に停止される。このため、直流駆動による表示体劣化を防止できる。また電源ラッシュ電流を軽減できる。本発明は液晶表示装置は勿論のこと、プラスマディスプレイ装置等に適用できる。表示体の表示品質や寿命等が駆動信号の異常によって修復不能な劣化を招くような表示装置に用いるのに適している。

- 2 6 -

請求の範囲

1. フラット表示体モジュール部とそれを制御する表示制御部とが分離配置されており、該フラット表示体モジュール部がフラット表示体とこれを駆動する表示体駆動手段を有しているフラット表示装置であって、信号管理制御手段を備え、この信号管理制御手段は、該表示制御部側から転送される第1の信号の異常発生を検出する信号検出手段と、その検出信号に基づいて該フラット表示モジュール部側の信号形態を変更処理するシーケンス処理手段とを有することを特徴とするフラット表示装置。
2. 請求項1において、前記信号管理制御手段は前記フラット表示体モジュール部側に設けられてなることを特徴とするフラット表示装置。
3. 請求項1又は2において、前記信号検出手段は前記第1の信号の停止を検出する信号停止検出手段で、前記シーケンス処理手段は該信号停止検出手段の出力を基に前記表示体駆動手段の前記フラット表示体へ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段であることを特徴とするフラット表示装置。
4. 請求項3において、前記強制停止制御手段は、前記信号停止検出手段の出力により前記表示制御部側から転送される第2の信号を遅延させる第1の信号遅延手段を有することを特徴とするフラット表示装置。
5. 請求項4において、前記強制停止制御手段は、その出力の送出を制御すべき第3の信号の制御端子を有することを特徴とするフラット表示装置。

- 27 -

6. 請求項 5において、 n を正の整数とし、前記信号管理制御手段を n 個有し、各信号管理制御手段に前記第1の信号として入力すべき被検出信号の種類がそれぞれ異なることを特徴とするフラット表示装置。
- 5 7. 請求項 6において、 $k = 1, \dots, n - 1$ で、第 k 番目の前記信号管理制御手段の制御出力を第 $k + 1$ 番目の前記信号管理制御手段の第3の信号とし、第 n 番目の前記信号管理制御手段の制御出力に基づいて前記前記表示体駆動手段の表示オン／オフを制御するようにしたことを特徴とするフラット表示装置。
- 10 8. 請求項 4乃至 7のいずれか一項において、前記第1の信号遅延手段は、フレームスタート信号を前記第2の信号として入力され、 N を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能の N 段のDフリップ・フロップであることを特徴とするフラット表示装置。
- 15 9. 請求項 7又は 8 項において、前記信号停止検出手段の出力と第4の信号とを基に表示体駆動電圧を発生すべき表示体電源手段のパワーオン／オフを制御する電源制御手段を前記フラット表示体モジュール部側に有することを特徴とするフラット表示装置。
- 20 10. 請求項 9において、前記電源制御手段は前記信号停止検出手段の出力により前記表示制御部側から転送される第2の信号を遅延させる第2の信号遅延手段を有することを特徴とするフラット表示装置。
- 25 11. 請求項10において、前記第2の信号遅延手段はフレームスタート信号を前記第2の信号として入力され、 M を正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能の M

(< N) 段の D フリップ・フロップであることを特徴とするフラット表示装置。

12. 請求項 1 乃至 11 のいずれか一項において、前記フラット表示体は液晶表示パネルであることを特徴とするフラット表示装置。
13. 請求項 1 乃至 11 のいずれか一項において、前記フラット表示体はプラズマ表示パネルであることを特徴とするフラット表示装置。
14. フラット表示体モジュール部側に設けられ、表示制御部からの各種信号に基づいてフラット表示体に表示体駆動電圧を給電する表示体駆動装置において、該表示制御部側から転送される第 1 の信号の異常発生を検出する信号検出手段と、その検出出力に基づいてフラット表示体モジュール部側の信号形態を変更処理するシーケンス処理手段とを含む信号管理制御手段を備えていることを特徴とする表示体駆動装置。
15. 請求項 14 において、前記信号検出手段は前記第 1 の信号の停止を検出する信号停止検出手段で、前記シーケンス処理手段は該信号停止検出手段の出力を基に前記フラット表示体へ供給すべき表示体印加電圧を零に設定制御する強制停止制御手段であることを特徴とする表示体駆動装置。
16. 請求項 15 において、前記強制停止制御手段は前記信号停止検出手段の出力により前記表示制御部側から転送される第 2 の信号を遅延させる第 1 の信号遅延手段を有することを特徴とする表示体駆動装置。
17. 請求項 16 において、前記強制停止制御手段は、その出力の送出を制御すべき第 3 の信号の入力端子を有することを特徴とする表示体駆動装置。

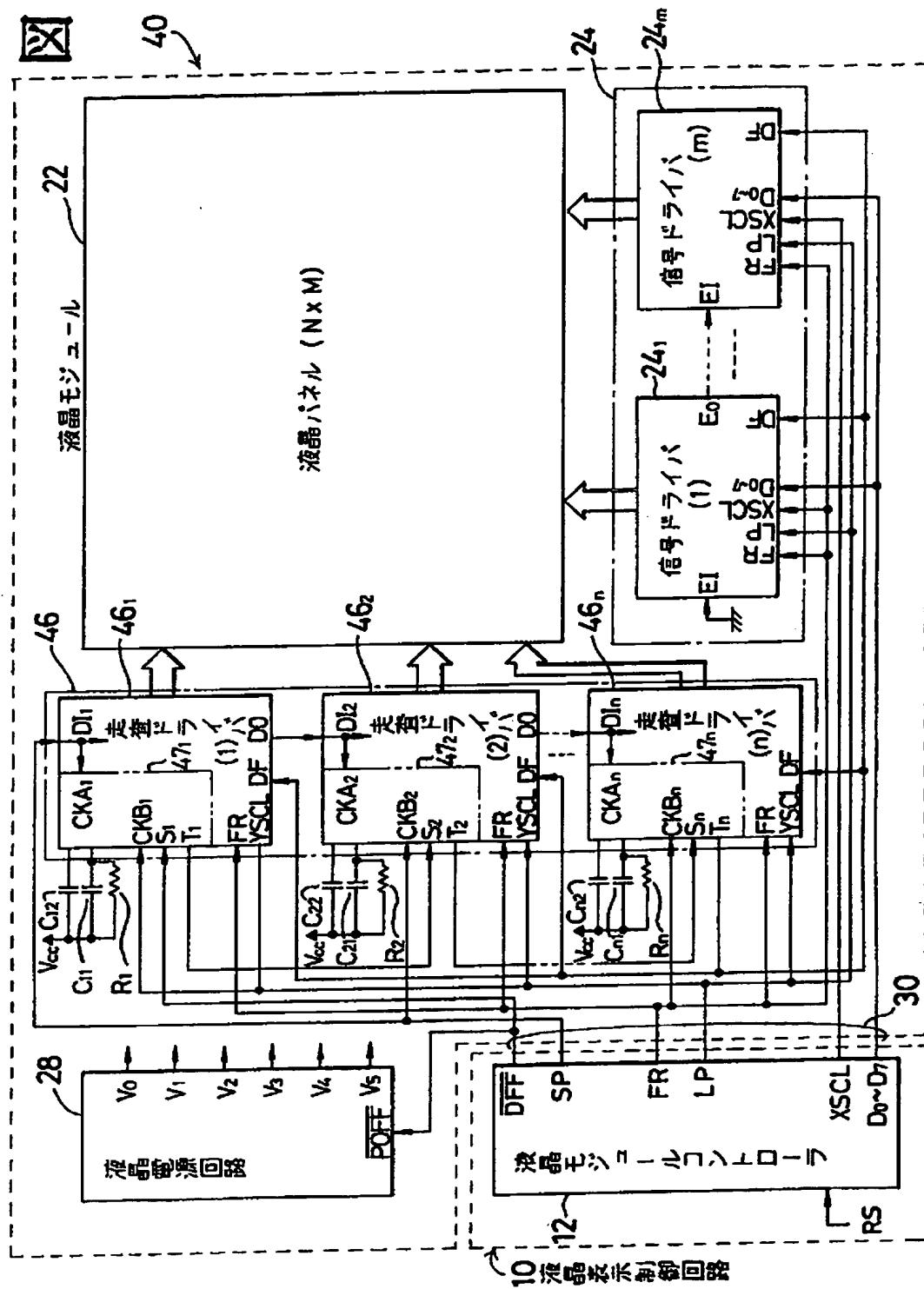
18. 請求項17において、前記信号遅延手段は、フレームスタート信号を前記第2の信号として入力され、Nを正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能のN段のDフリップ・フロップであることを特徴とする表示体駆動装置。
19. 請求項15乃至18のいずれか一項において、前記信号管理制御手段は前記信号停止検出手段の出力と第4の信号を基に表示体駆動電圧を発生すべき表示体電源手段のパワーオン／オフを制御する電源制御手段を有することを特徴とする表示体駆動装置。
20. 請求項19において、前記電源制御手段は前記信号停止検出手段の出力により前記表示制御部側から転送される第2の信号を遅延させる第2の信号遅延手段を有することを特徴とする表示体駆動装置。
21. 請求項20において、前記第2の信号遅延手段はフレームスタート信号を前記第2の信号として入力され、Mを正の整数とすると、前記信号停止検出手段の出力に基づいてセット・リセット可能のM($< N$)段のDフリップ・フロップであることを特徴とする表示体駆動装置。
22. 請求項14乃至21のいずれか一項において、前記表示体駆動装置が液晶表示パネルを駆動する液晶駆動装置であることを特徴とする表示体駆動装置。
23. 請求項22において、前記液晶駆動装置は半導体集積回路であることを特徴とする表示体駆動装置。
24. 請求項23において、前記半導体集積回路はYドライバであることを特徴とする表示体駆動装置。
25. 請求項24において、前記Yドライバは単純マトリクス液晶表

— 3 0 —

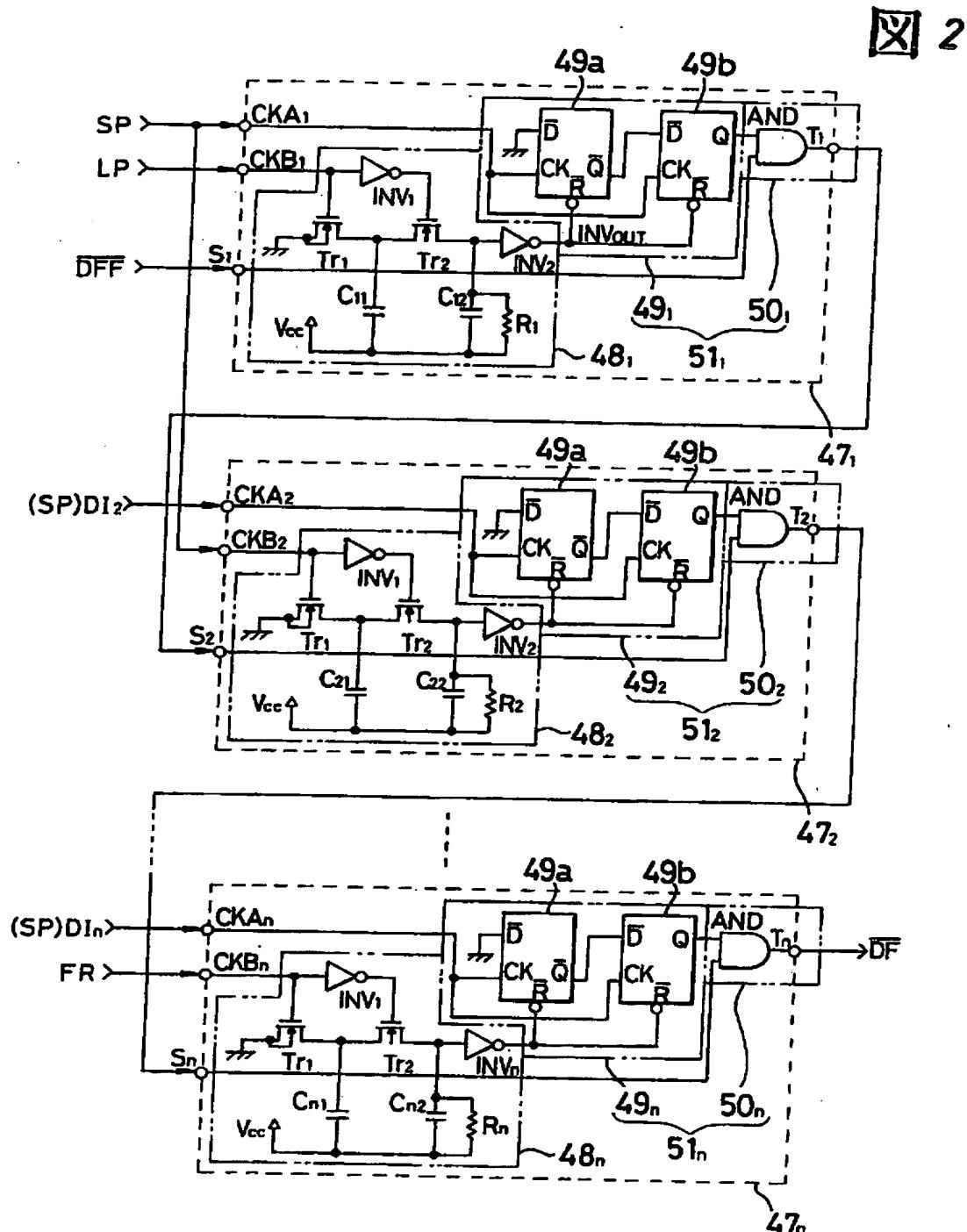
示装置の走査ドライバであることを特徴とする表示体駆動装置。

26. 請求項24において、前記Yドライバはアクティブ・マトリクス液晶表示装置のゲートドライバであることを特徴とする表示体駆動装置。

図 1

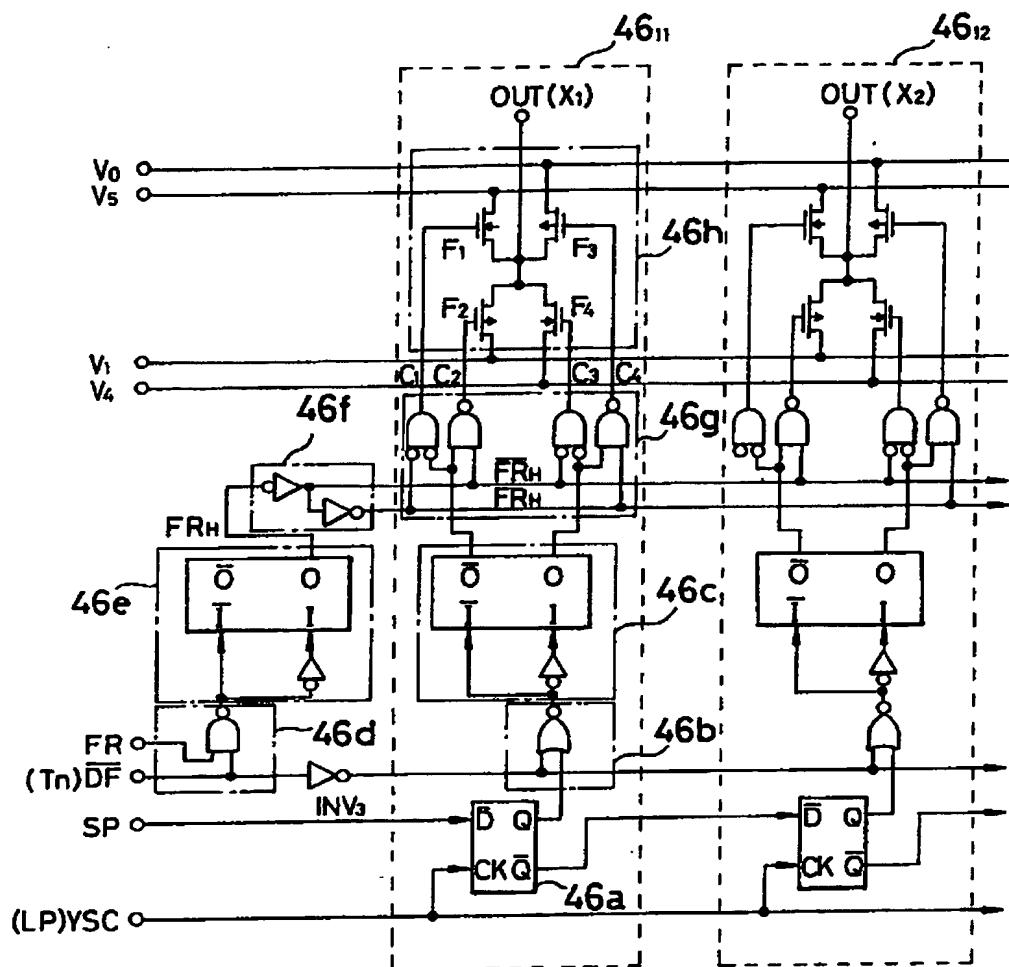


2 / 9



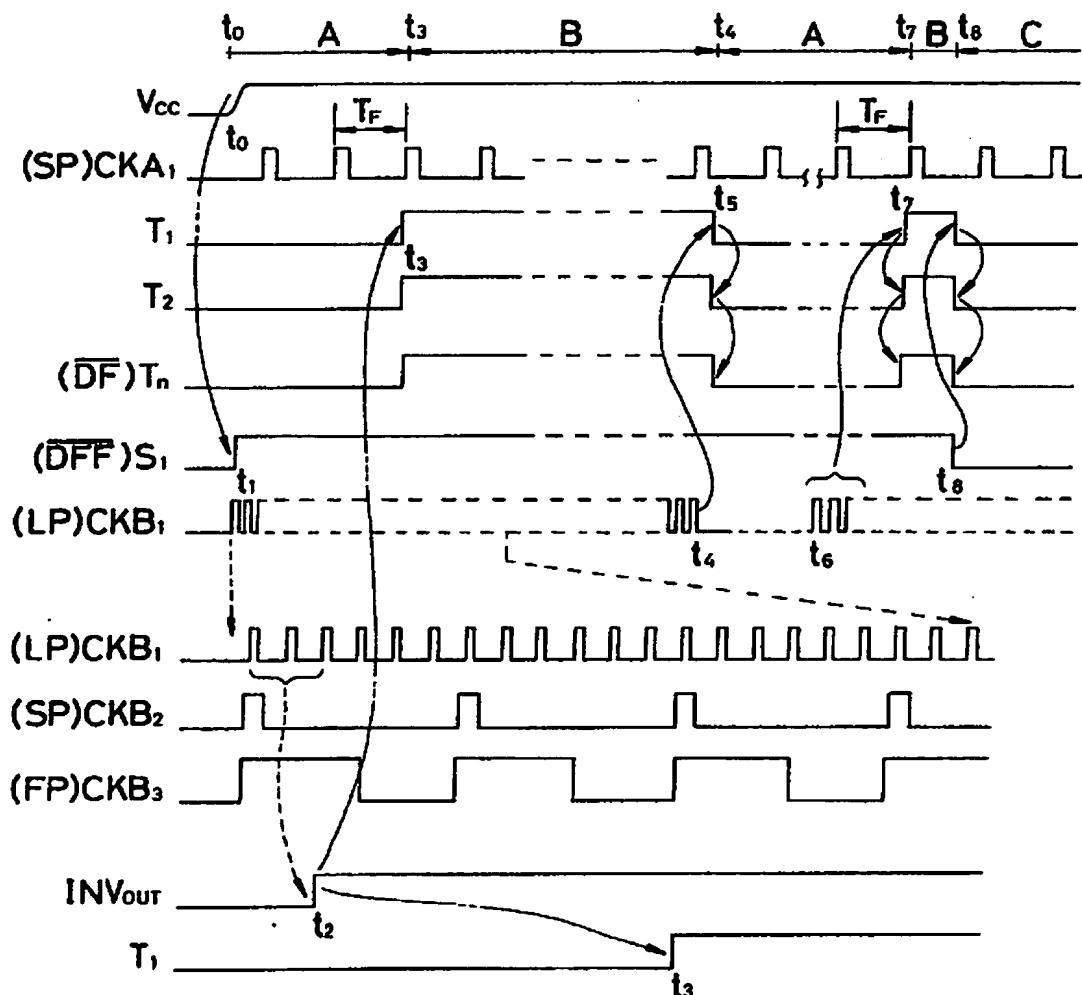
3 / 9

☒ 3



4 / 9

4

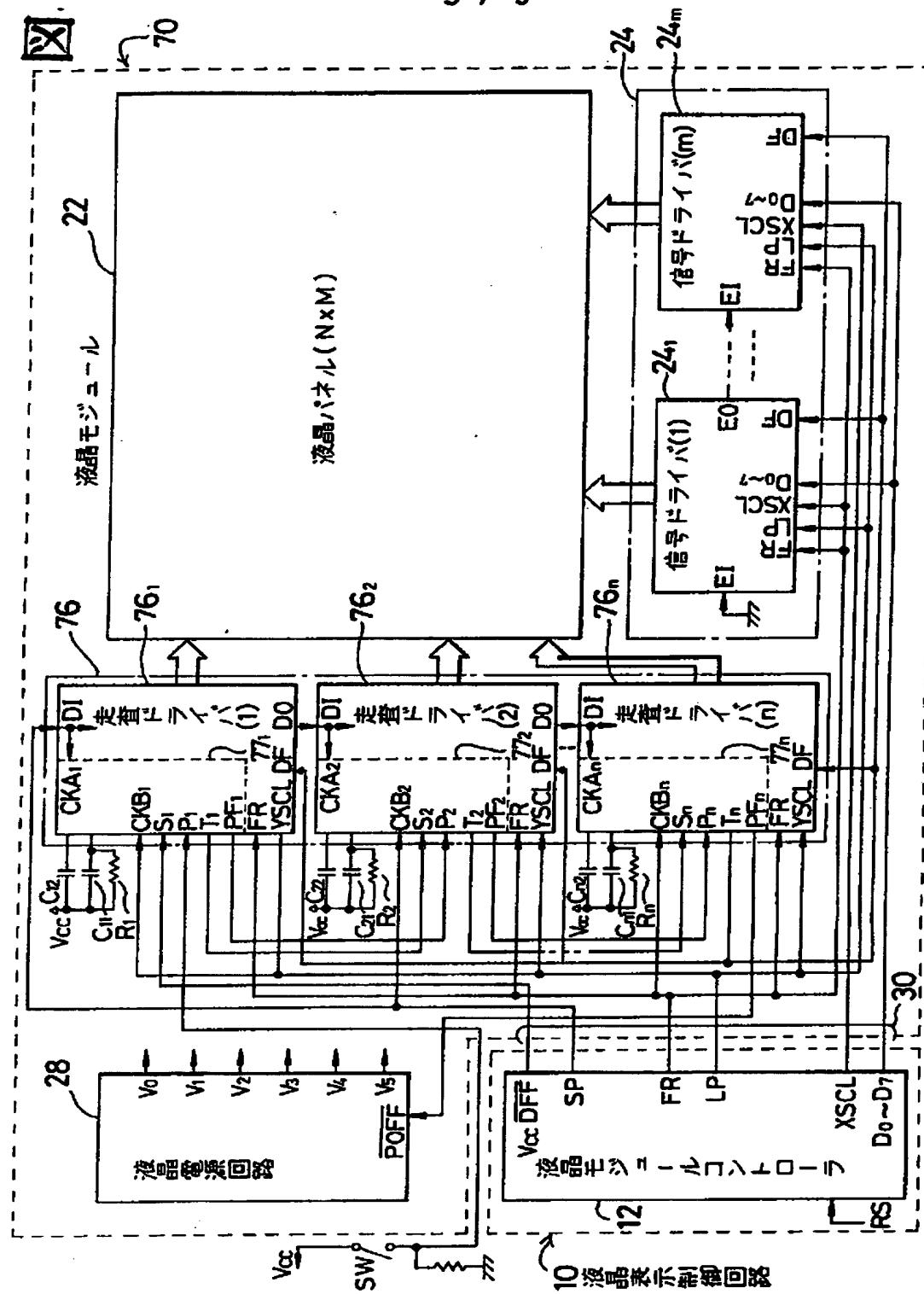


A：液晶駆動禁止期間

B：液晶運動期間

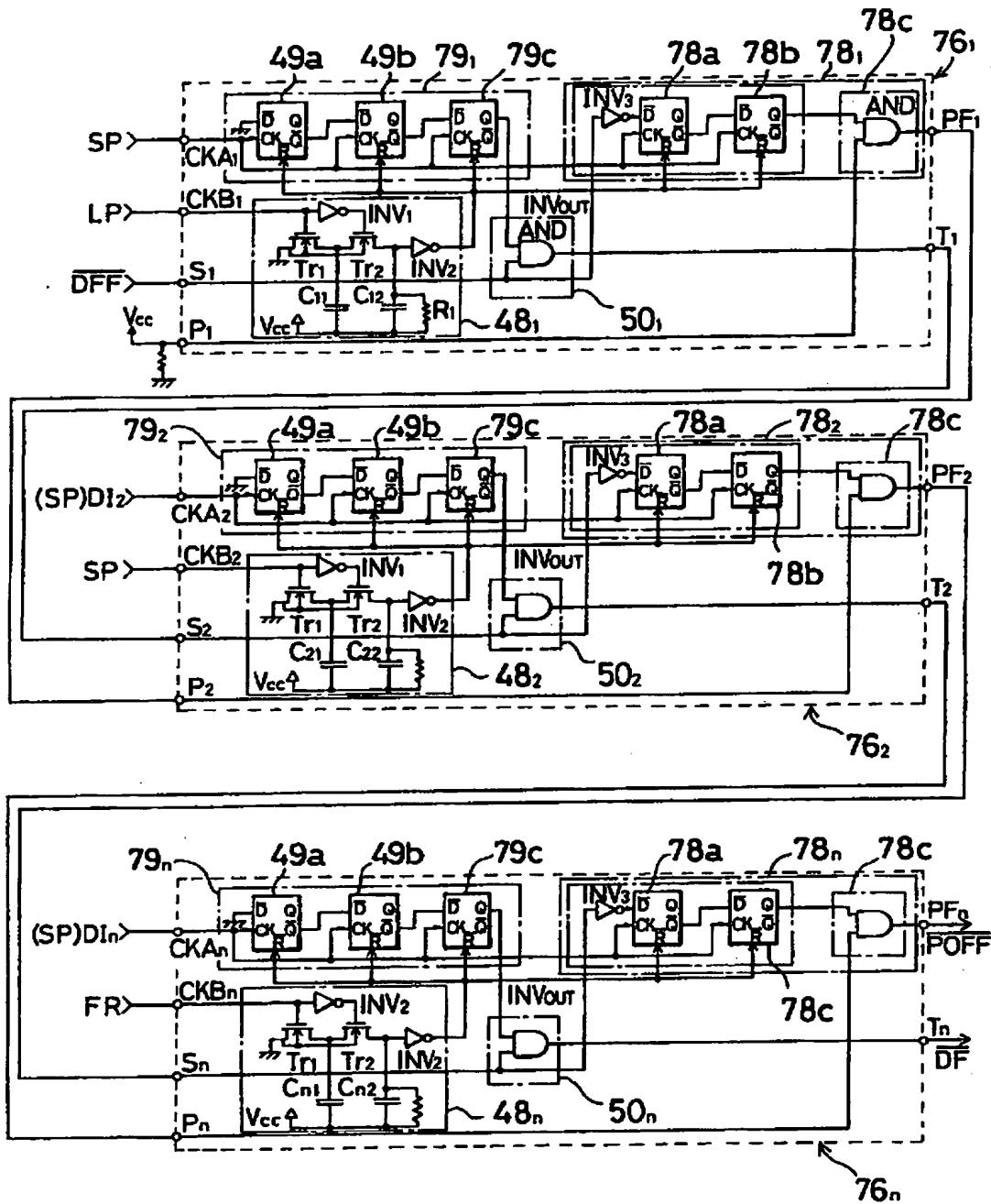
C：表示オフ期間

5 / 9



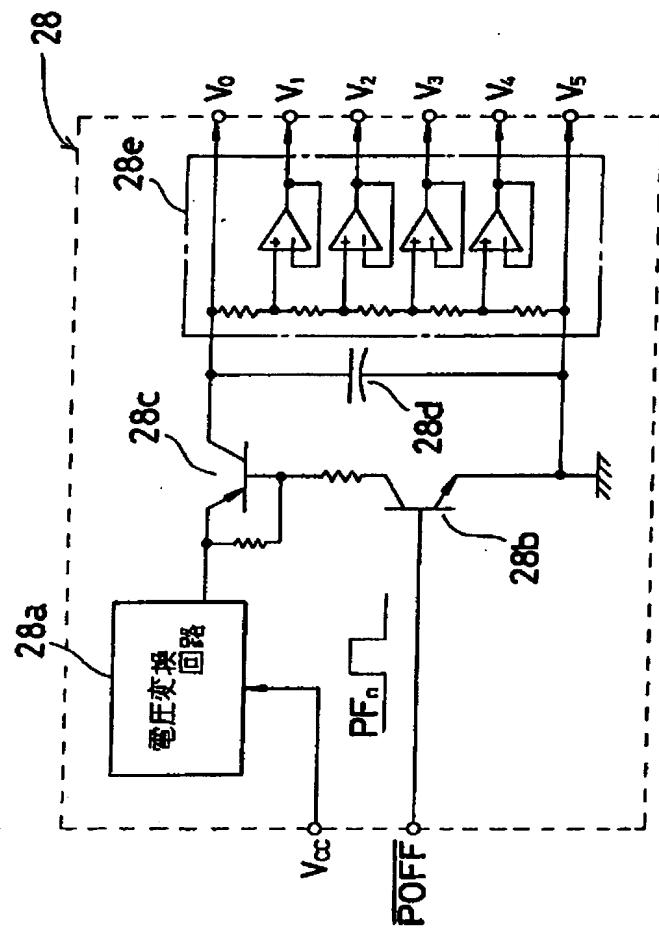
6 / 9

☒ 6

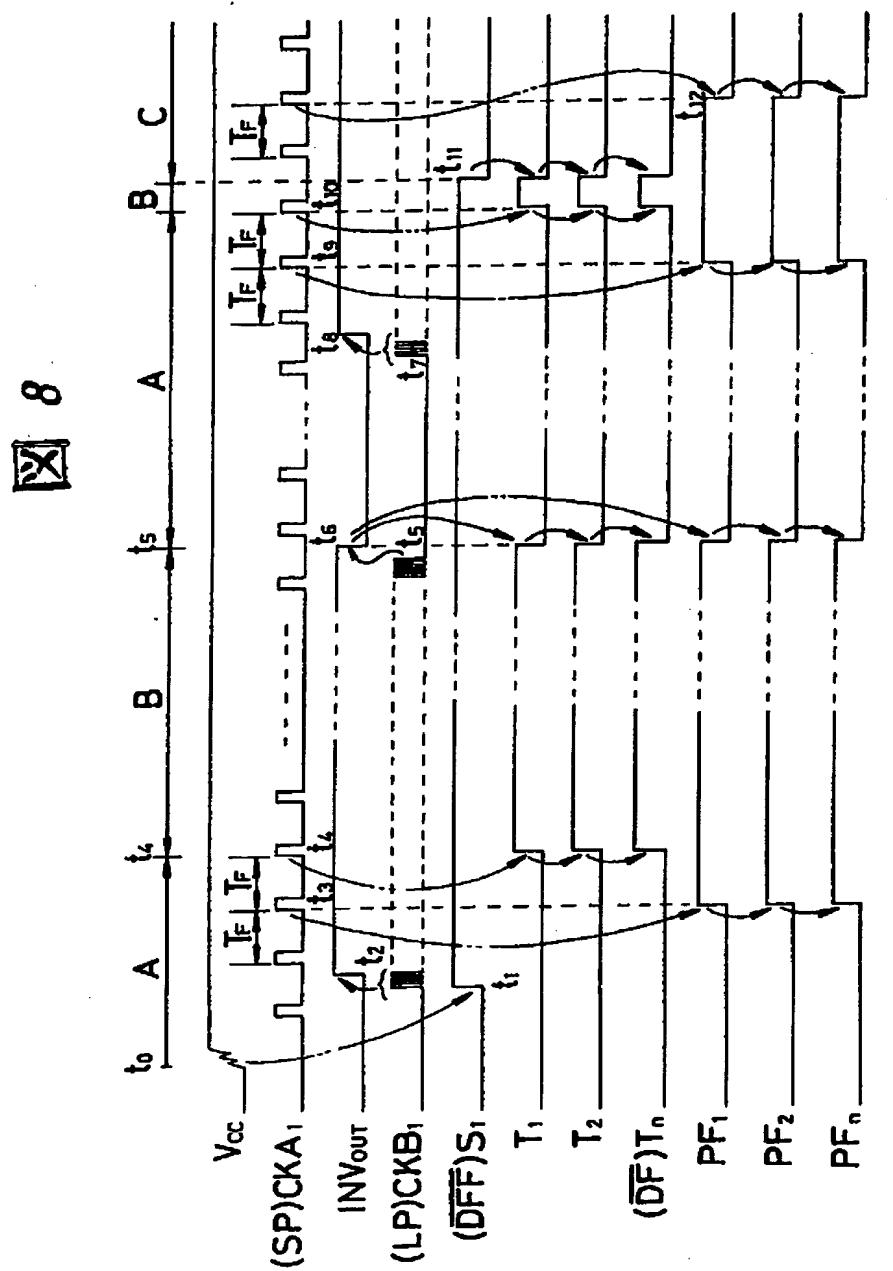


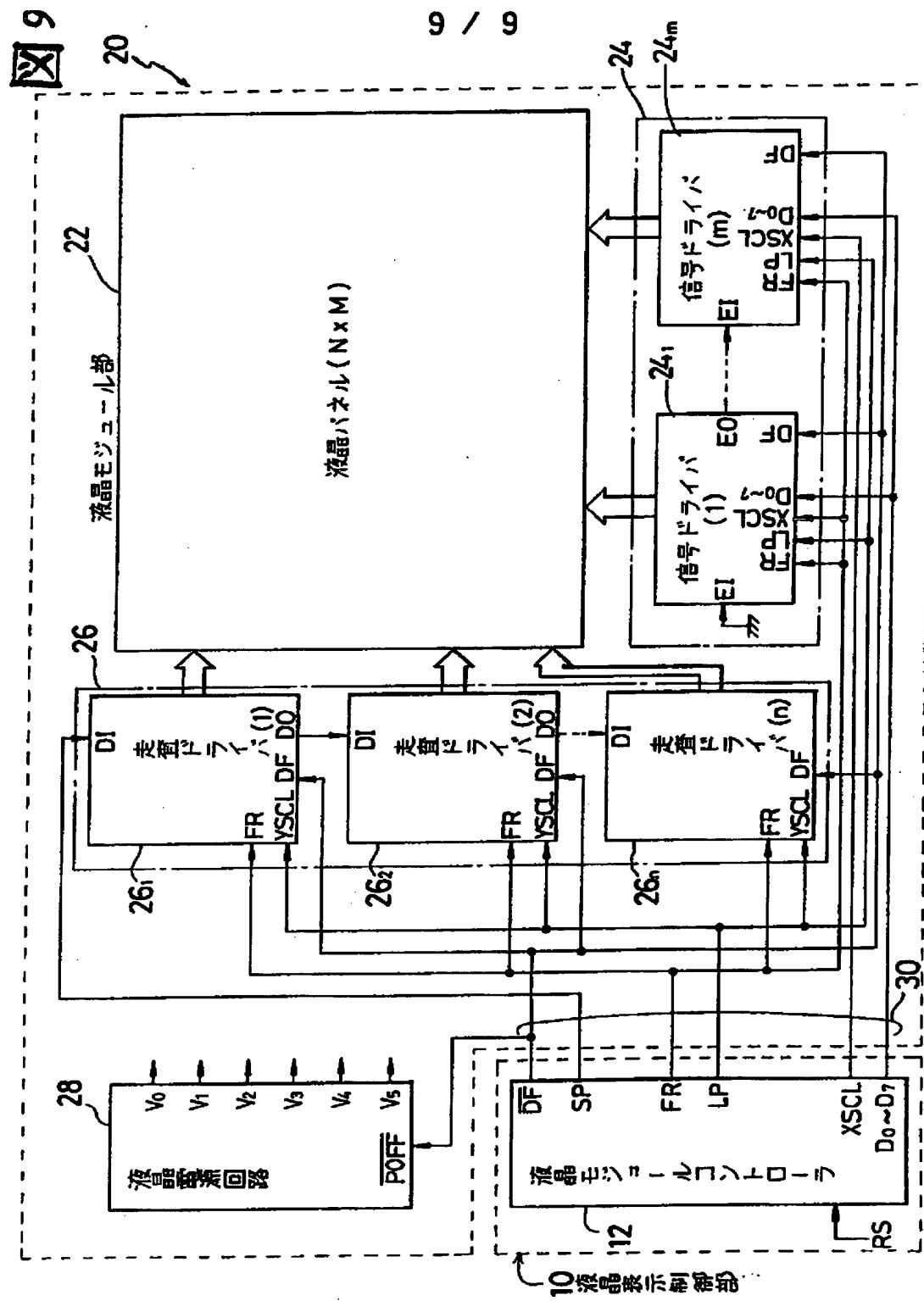
7 / 9

7



8 / 9





INTERNATIONAL SEARCH REPORT

International Application No. PCT/JP91/00785

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) ⁶

According to International Patent Classification (IPC) or to both National Classification and IPC

Int. Cl⁵ G09G3/20

II. FIELDS SEARCHED

Minimum Documentation Searched ⁷

Classification System	Classification Symbols
IPC	G09G3/20

Documentation Searched other than Minimum Documentation
to the Extent that such Documents are Included in the Fields Searched ⁸

III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹

Category ¹⁰	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
X	JP, A, 52-100997 (Toshiba Corp.), August 24, 1977 (24. 08. 77), Lines 5 to 11, lower left column, page 565, lines 13 to 19, upper right column, page 566, line 16, upper left column to line 13, lower right column, page 567 (Family: none)	1, 3, 22
X	JP, A, 52-128178 (Suwa Seikosha K.K.), October 27, 1977 (27. 10. 77), Line 20, lower right column, page 457 to line 12, upper right column, page 458 (Family: none)	1, 3, 22
Y	JP, A, 49-97593 (Asahi Glass Co., Ltd.), September 14, 1974 (14. 09. 74), Lines 2 to 14, upper left column, page 536 (Family: none)	9, 15, 19
Y	JP, A, 55-117190 (Sharp Corp.), September 9, 1980 (09. 09. 80), Line 18, lower right column, page 599 to line 6, upper left column, page 600,	2, 6

¹⁰ Special categories of cited documents: ¹⁰

- ^{"A"} document defining the general state of the art which is not considered to be of particular relevance
- ^{"E"} earlier document but published on or after the International filing date
- ^{"L"} document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- ^{"O"} document referring to an oral disclosure, use, exhibition or other means
- ^{"P"} document published prior to the International filing date but later than the priority date claimed

^{"T"} later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

^{"X"} document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

^{"Y"} document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

^{"S"} document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search

August 7, 1991 (07. 08. 91)

Date of Mailing of this International Search Report

August 26, 1991 (26. 08. 91)

International Searching Authority

Japanese Patent Office

Signature of Authorized Officer

FURTHER INFORMATION CONTINUED FROM THE SECOND SHEET

Y	Figs. 1, 2 (Family: none) JP, A, 61-50195 (International Standard Electric Corp.), March 12, 1986 (12. 03. 86), Line 7, upper left column to line 8, upper right column, page 964, line 3, lower right column, page 964 to line 11, upper left column, page 965, Figs. 1, 4 & BE, A1, 902,538 & EP, A1, 162,969 & AU, A1, 4,270,385	6
---	--	---

V. OBSERVATIONS WHERE CERTAIN CLAIMS WERE FOUND UNSEARCHABLE ¹

This international search report has not been established in respect of certain claims under Article 17(2) (a) for the following reasons:

1. Claim numbers , because they relate to subject matter not required to be searched by this Authority, namely:

2. Claim numbers , because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claim numbers , because they are dependent claims and are not drafted in accordance with the second and third sentences of PCT Rule 6.4(a).

VI. OBSERVATIONS WHERE UNITY OF INVENTION IS LACKING ²

This International Searching Authority found multiple inventions in this international application as follows:

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims of the international application.

2. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims of the international application for which fees were paid, specifically claims:

3. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim numbers:

4. As all searchable claims could be searched without effort justifying an additional fee, the International Searching Authority did not invite payment of any additional fee.

Remark on Protest

- The additional search fees were accompanied by applicant's protest.
- No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号PCT/JP 91/00785

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. G 09 G 3/20		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
IPC	G 09 G 3/20	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
X	JP, A, 52-100997 (東京芝浦電気株式会社), 24. 8月. 1977 (24. 08. 77), 第565頁左下欄 第5-11行, 第566頁右上欄第13-19行, 第567頁 左上欄第16-右下欄第13行 (ファミリーなし)	1, 3, 22,
X	JP, A, 52-128178 (株式会社 謙謙精工舎), 27. 10月. 1977 (27. 10. 77), 第457頁右下 欄第20行-第458頁左上欄第12行 (ファミリーなし)	1, 3, 22,
Y	JP, A, 49-97593 (旭硝子株式会社), 14. 9月. 1874 (14. 09. 74), 第536頁左上欄 第2行-第14行 (ファミリーなし)	9, 15, 19,
Y	JP, A, 55-117190 (シャープ株式会社), 9. 9月. 1980 (09. 09. 80), 第599頁右下欄 第18行-第600頁左上欄第6行, 第1図, 第2図,	2, 6
※引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日 若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の 日の後に公表された文献		
IV. 認 証		
国際調査を完了した日 07. 08. 91	国際調査報告の発送日 26.08.91	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官 鈴野幹夫	5 G 8 6 2 1

第2ページから続く情報

Y (直欄の続き)
 (ファミリーなし)
 J.P. A. 61-50195 (インターナショナル・スタンダード・エレクトリック・コーポレーション),
 12. 3月. 1986 (12. 3. 86), 第964頁左上欄
 第7行-右上欄第8行, 第964頁右下欄第3行-
 第965頁左上欄第11行, 第1図, 4図,
 &BE, A1, 902538&EP, A1, 162969
 &AU, A1, 4270385

6

V. 一部の請求の範囲について国際調査を行わないときの意見

次の請求の範囲については特許協力条約に基づく国際出願等に関する法律第8条第3項の規定によりこの国際調査報告を作成しない。その理由は、次のとおりである。

1. 請求の範囲 _____ は、国際調査をすることを要しない事項を内容とするものである。

2. 請求の範囲 _____ は、有効な国際調査をすることができる程度にまで所定の要件を満たしていない国際出願の部分に係るものである。

3. 請求の範囲 _____ は、従属請求の範囲でありかつPCT規則6.4(a)第2文の規定に従って起草されていない。

VI. 発明の単一性の要件を満たしていないときの意見

次に述べるようにこの国際出願には二以上の発明が含まれている。

1. 追加して納付すべき手数料が指定した期間内に納付されたので、この国際調査報告は、国際出願のすべての調査可能な請求の範囲について作成した。

2. 追加して納付すべき手数料が指定した期間内に一部分しか納付されなかつたので、この国際調査報告は、手数料の納付があった発明に係る次の請求の範囲について作成した。
 請求の範囲 _____

3. 追加して納付すべき手数料が指定した期間内に納付されなかつたので、この国際調査報告は、請求の範囲に最初に記載された発明に係る次の請求の範囲について作成した。
 請求の範囲 _____

4. 追加して納付すべき手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加して納付すべき手数料の納付を命じなかつた。

追加手数料異議の申立てに関する注意

- 追加して納付すべき手数料の納付と同時に、追加手数料異議の申立てがされた。
- 追加して納付すべき手数料の納付に際し、追加手数料異議の申立てがされなかつた。